

МИНОБРНАУКИ РОССИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»
(ФГБОУ ВО «ВГУ»)

УТВЕРЖДАЮ

Заведующий кафедрой
физики полупроводников и микроэлектроники



(Бормонтон Е.Н.)
расшифровка подписи

31.08.2024

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ

Б1.В.02 Языки проектирования схем смешанного сигнала

1. Код и наименование направления подготовки/специальности: **11.04.04**
Электроника и наноэлектроника

2. Профиль подготовки: Интегральная электроника и наноэлектроника

3. Квалификация (степень) выпускника: магистр

4. Форма образования: очная

5. Кафедра, отвечающая за реализацию дисциплины: физики полупроводников и микроэлектроники

6. Составители программы: Богатиков Евгений Васильевич,
кандидат физико-математических наук

7. Рекомендована: НМС физического факультета протокол №6 от 26.06.2024

8. Учебный год: **2025-2026** Семестр: **3**

9. Цели и задачи учебной дисциплины: Целями освоения дисциплины «Языки проектирования схем смешанного сигнала» является формирование специальных знаний о применении языка VHDL-AMS для разработки цифро-аналоговых интегральных схем.

В задачи дисциплины входят:

- изучение синтаксиса языка VHDL-AMS;
- приобретение навыков разработки компактных моделей электронных компонентов;
- приобретение навыков разработки поведенческого описания цифро-аналоговых схем;
- приобретение навыков функциональной верификации цифро-аналоговых схем.

Знания, полученные при освоении дисциплины «Языки проектирования схем смешанного сигнала», могут быть полезны при выполнении выпускных квалификационных работ в области микро- и нанoeлектроники.

11. Планируемые результаты обучения по дисциплине/модулю (знания, умения, навыки), соотнесенные с планируемыми результатами освоения образовательной программы (компетенциями) и индикаторами их достижения:

Компетенции		Индикаторы		Планируемые результаты обучения
Код	Наименование компетенции	Код(ы)	Наименование индикатора(ов)	
ПК-6	Способен разрабатывать эффективные алгоритмы решения сформулированных задач с использованием современных языков программирования и обеспечивать их программную реализацию	ПК-6.1	Создает высокоуровневые поведенческие модели аналоговой части СнК	Умение: - реализовывать алгоритмы поведенческого описания цифро-аналоговых схем средствами языка VHDL-AMS
		ПК-6.2	Формирует наборы тестовых воздействий для общей поведенческой модели всей СнК	Знание: - методов проведения автономной и системной верификации Умение: - составлять тест-план в соответствии со спецификацией устройства; - разрабатывать тестовое окружение.
		ПК-6.3	Разрабатывает тесты и генераторы тестов для моделирования совместной работы программной и аппаратной частей СнК	Владение: - программными средствами, обеспечивающими интерфейс между RTL-описанием устройства и его поведенческой моделью (PLI, VHPI, SystemC)
ПК-7	Способен анализировать состояние научно-технической проблемы путём подбора, изучения и анализа литературных и патентных источников	ПК-7.1	Производит выбор языков описания аппаратуры и стилей описания цифровых блоков, а также выбор средств описания поведенческих моделей аналоговых блоков	Знание: - возможностей и областей применения языков проектирования аппаратуры
		ПК-7.2	Формулирует задачи функциональной и временной верификации цифровых блоков СнК, производит выбор методики верификации поведенческих моделей аналоговых блоков	Знание: - классификации методов верификации СнК; - методологии процесса верификации СнК.
		ПК-7.3	Выполняет анализ аналоговой части СнК с разделением ее на функциональные субблоки, построением списка со-	Владение: - навыками разработки поведенческих моделей цифро-аналоговых схем средствами языка VHDL-AMS

			единений и разработкой тестовых окружений	
ПК-8	Готов осваивать принципы планирования и методы автоматизации эксперимента на основе информационно-измерительных комплексов как средства повышения точности и снижения затрат на его проведение, овладевать навыками измерений в реальном времени	ПК-8.1	Использует языки описания аппаратуры при проектировании цифровых и аналоговых блоков СнК	Владеет: - навыками проектирования схем смешанного сигнала с применением языка VHDL-AMS
		ПК-8.3	Проводит схемотехническое моделирование аналоговых субблоков и аналоговой подсистемы в целом, анализирует корректность разработанной электрической схемы по результатам моделирования	Знание: - методов проверки компактных моделей электронных компонентов и их сопоставления с данными экспериментального определения параметров электронных компонентов Владение: - программными средствами, реализующими схемотехническое моделирование схем смешанного сигнала

12. Объем дисциплины в зачетных единицах/часах — 4 / 144 .

Форма промежуточной аттестации – экзамен

13. Виды учебной работы:

Вид учебной работы		Трудоемкость (часы)	
		Всего	По семестрам 3 сем.
Аудиторные занятия,		32	32
в том числе:	лекции	16	16
	лабораторные	16	16
Самостоятельная работа		76	76
Форма промежуточной аттестации: экзамен		36	36
Итого:		144	144

13.1. Содержание дисциплины:

№ п/п	Наименование раздела дисциплины	Содержание раздела дисциплины
1. Лекции		
1.1	Введение	Методологии проектирования ИС и систем-на-кристалле «снизу вверх» и «сверху вниз»: основные положения, достоинства и недостатки. Поведенческий уровень проектирования. Тестовое окружение проекта и верификация. Место языков VHDL и VHDL-AMS в проектировании ИС и систем-на-кристалле.
1.2	Средства работы языка VHDL-AMS с цифровыми схемами	Алфавит языка VHDL-AMS. Синтаксис объявления интерфейса (entity) и архитектуры (architecture). Параллельные и последовательные операторы. Оператор процесса. Оператор ожидания wait. Оператор ветвления. Поведенческое и структурное описание. Использование библиотек. Атрибуты цифровых переменных.

1.3	Средства работы языка VHDL-AMS с аналоговыми схемами	Класс данных quantity. Quantity для консервативных систем. Класс данных terminal. Оператор для записи алгебраических и интегродифференциальных уравнений simple_simultaneous_statement. Определение необходимого количества уравнений. Атрибуты аналоговых переменных 'dot, 'integ. Задание начальных условий оператором break.
1.4	Взаимодействие аналоговой и цифровой части модели средствами языка VHDL-AMS	Условные операторы записи уравнений simultaneous_if_statement и simultaneous_case_statement. Оператор условного присваивания значений сигналов selected_signal_assignment. Атрибут аналоговых переменных 'above.
1.5	Разработка поведенческих моделей аналого-цифровых схем	Разработка поведенческих моделей на верхних уровнях проектирования: использование стандартных математических уравнений и передаточных функций. Выявление ошибок проектирования: проверка области безопасной работы, измерение параметров устройства.
1.6	Верификация цифровых и аналоговых моделей	Виды верификации: функциональная верификация, проверка временных параметров, проверка электрических параметров. Виды функциональной верификации: автономная и системная верификация. Совместная верификация программной и аппаратной частей СнК: использование SystemC, PLI, VHPI. Тест-план. Тестовое окружение. Языки верификации: SystemVerilog. Специальные методологии верификации: UVM, OVM, VMM.
1.7	Разработка компактных моделей элементов микросхем	Понятие и виды компактных моделей. Преимущества и недостатки компактных моделей на языке VHDL-AMS. Примеры применения VHDL-AMS для разработки моделей элементов ESD-защиты. Разработка компактных моделей для недокументированных устройств технологических процессов на примере планарной интегральной индуктивности.
1.8	Совместное использование моделей на разных языках при схемотехническом моделировании	Использование моделей VHDL-AMS в САПР проектирования ИС. Настройка проекта в Dolphin SMASH. Директивы файла модели. Компиляция и отладка в Dolphin SMASH. Настройка и запуск моделирования в Dolphin SMASH. Отображение и анализ результатов моделирования.
2. Лабораторные занятия		
2.1	Введение	Лабораторная работа №1. Разработка структурной схемы сигма-дельта АЦП.
2.2	Средства работы языка VHDL-AMS с цифровыми схемами	Лабораторная работа №2. Разработка моделей цифровых блоков сигма-дельта АЦП.
2.3	Средства работы языка VHDL-AMS с аналоговыми схемами	Лабораторная работа №3. Разработка моделей аналоговых блоков сигма-дельта АЦП.
2.4	Взаимодействие аналоговой и цифровой части модели средствами языка VHDL-AMS	Лабораторная работа №4. Разработка моделей смешанных блоков сигма-дельта АЦП.
2.5	Разработка поведенческих моделей аналого-цифровых схем	Лабораторная работа №5. Разработка модели сигма-дельта АЦП
2.6	Верификация цифровых и аналоговых моделей	Лабораторная работа №6. Верификация модели сигма-дельта АЦП
2.7	Разработка компактных моделей элементов микросхем	Лабораторная работа №7. Разработка моделей аналоговых блоков сигма-дельта АЦП с учетом паразитных элементов
2.8	Совместное использо-	Лабораторная работа №8. Моделирование сигма-дельта АЦП с

	вание моделей на разных языках при схемотехническом моделировании	использованием моделей блоков, реализованных на разных языках программирования
--	---	--

13.2. Темы (разделы) дисциплины и виды занятий:

№ п/п	Наименование раздела дисциплины	Виды занятий (часов)			
		Лекции	Лабораторные	Самостоятельная работа	Всего
1	Введение	2	2	9	13
2	Средства работы языка VHDL-AMS с цифровыми схемами	2	2	10	14
3	Средства работы языка VHDL-AMS с аналоговыми схемами	2	2	10	14
4	Взаимодействие аналоговой и цифровой части модели средствами языка VHDL-AMS	2	2	10	14
5	Разработка поведенческих моделей аналого-цифровых схем	2	2	9	13
6	Верификация цифровых и аналоговых моделей	2	2	10	14
7	Разработка компактных моделей элементов микросхем	2	2	9	13
8	Совместное использование моделей на разных языках при схемотехническом моделировании	2	2	9	13
	Итого:	16	16	76	108
	Экзамен				36
	Итого по курсу				144

14. Методические указания для обучающихся по освоению дисциплины:

Изучение дисциплины «Языки проектирования схем смешанного сигнала» предусматривает осуществление учебной деятельности состоящей из двух частей: обучения студентов преподавателем и самостоятельной учебной деятельности студентов по изучению дисциплины.

Подготовка к лекциям является одним из видов самостоятельной работы студентов. Студентам, чтобы хорошо овладеть учебным материалом, необходимо выработать навыки правильной и планомерной работы. Перед началом лекционных занятий надо просмотреть все, что было сделано в предыдущий раз. Это позволит сосредоточить внимание и восстановить в памяти уже имеющиеся знания по данному предмету. Кроме того, такой метод поможет углубить понимание как нового, так и уже изученного материала благодаря установлению взаимосвязей между отдельными частями курса.

Хорошо овладеть содержанием лекции – это:

- знать тему лекции;
- понимать значение и важность ее в данном курсе;
- четко представлять план лекции;
- уметь выделить основное, главное;
- усвоить значение примеров и иллюстраций;
- связать вновь полученные сведения о предмете или явлении с уже имеющимися;
- представлять возможность и необходимость применения полученных сведений.

Существует несколько общих правил работы на лекции:

- лекции по каждому предмету записывать удобнее в отдельных тетрадях, оставляя широкие поля для пометок;
- к прослушиванию лекций следует готовиться, что позволит в процессе лекции отделить главное от второстепенного;
- лекции необходимо записывать с самого начала, так как оно часто бывает ключом ко всей теме;
- так как дословно записать лекцию невозможно, то необходимо в конспекте отражать: формулы, определения, схемы, трудные места, мысли, примеры, факты и положения от которых зависит понимание главного, новое и незнакомое, неопубликованные данные, материал отсутствующий в учебниках и т.п.

Важной составляющей курса являются лабораторные работы, которые позволяют приобрести навыки работы с реальными приборами твердотельной электроники, а также измерительной аппаратурой. Выполнение лабораторной работы требует тщательной предварительной подготовки. Необходимо заранее ознакомиться с теоретическим введением к предстоящей лабораторной работе для того, чтобы выполнение работы в аудитории было полностью осмысленным. Также необходимо помнить, что составление отчета о выполнении лабораторной работы является не только ключевым этапом в систематизации и осознании полученных данных, но и необходимым умением в будущей профессиональной деятельности, предполагающей регулярное составление подобных отчетов.

Наряду с теоретическим курсом и лабораторными работами важной составляющей обучения является самостоятельная работа. Она предназначена как для формирования навыков самостоятельной работы вообще, так и для развития способностей принимать на себя ответственность, находить конструктивные решения и выход из кризисной ситуации.

Давая возможность расширять и обогащать знания, умения по индивидуальным направлениям, самостоятельная работа обучающегося позволяет создать разносторонних специалистов. В процессе самостоятельной работы развивают творческие возможности обучающегося, при этом самостоятельная работа завершает задачи всех видов учебной работы.

Таким образом, самостоятельная работа формирует черты характера, играющие существенную роль в структуре личности современного специалиста.

Преподаватель организует, направляет самостоятельную работу обучающихся и оказывает им необходимую помощь. Однако самостоятельность обучающихся должна превышать объем контролируемой преподавателем работы, и иметь в своей основе индивидуальную мотивацию обучающегося по получению знаний, необходимых и достаточных для профессиональной деятельности в избранной сфере.

Получение образования предполагает не только обучение решению задач определенной сферы деятельности, но и формирование особого профессионального стиля мышления. Профессиональный стиль мышления означает готовность к поиску решения любой задачи в ходе практической деятельности, даже такой, которая не была затронута в ходе обучения.

Результат обучения и самостоятельной работы обучающегося предполагает наличие следующих составляющих:

- понимание методологических основ построения изучаемых знаний;
- выделение главных структур учебного курса;
- формирование средств выражения в данной области;
- построение методик решения задач и ориентации в проблемах (ситуациях).

Самостоятельная работа обучающихся при изучении курса «Языки проектирования схем смешанного сигнала» включает в себя: работу с теоретической частью курса, оформление отчетов о выполнении лабораторных работ и подготовку к выполнению лабораторных работ, подготовку к экзамену.

Рекомендуемое распределение нагрузки между компонентами самостоятельной работы:

изучение теоретической части курса	- 38 часов
подготовка к лабораторным занятиям	- 38 часов
итого - 76 часов	

Подготовка к экзамену – 36 часов

15. Перечень основной и дополнительной литературы, ресурсов Интернет, необходимых для освоения дисциплины:

а) основная литература:

№ п/п	Источник
1	Харрис, Дэвид Мани. Цифровая схемотехника и архитектура компьютера = Digital design and computer architecture : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис. – 2-е изд., испр. – Москва : ДМК Пресс, 2018. – 791 с.
2	Алексеев О. В. Автоматизация проектирования радиоэлектронных средств: Учеб. пособие / О.В. Алексеев, А.А. Головкин, И.Ю. Пивоваров, Г.Г. Чавка; Под ред. О.В. Алексеева. — М. : Высшая школа, 2000. — 478 с.

б) дополнительная литература:

№ п/п	Источник
3	Угрюмов Е. П. Цифровая схемотехника : [учебное пособие для студ. вузов] / Е.П. Угрюмов. – 3-е изд. – Санкт-Петербург : БХВ-Петербург, 2010. – 797 с.
4	Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А. К. Поляков. — М. : Солон-пресс, 2003. — 313 с.
5	Петраков О. М. Создание аналоговых PSPICE-моделей радиоэлементов / О. М. Петраков. — М. : РадиоСофт, 2004. — 204 с.

в) информационные электронно-образовательные ресурсы:

№ п/п	Источник
5	http://www.lib.vsu.ru – ЗНБ ВГУ
6	EKV Model <URL: https://www.epfl.ch/labs/iclab/ekv/model/ >

16. Учебно-методическое обеспечение для организации самостоятельной работы:

№ п/п	Источник
1	Языки проектирования схем смешанного сигнала : учебно-методическое пособие / Е.В. Богатиков, А.Н. Шебанов, А.В. Злобин, С.В. Тарасов. – Воронеж : Издательский дом ВГУ, 2022. – 36 с.

17. Образовательные технологии, используемые при реализации учебной дисциплины:

В учебном процессе используются следующие образовательные технологии. По образовательным формам: лекции; лабораторные занятия; индивидуальные занятия. По преобладающим методам и приемам обучения: объяснительно-иллюстративные (объяснение, показ–демонстрация учебного материала и др.); активные (анализ учебной и научной литературы, составление схем и др.) и интерактивные, в том числе и групповые (взаимное обучение в форме подготовки и обсуждения докладов); информационные; компьютерные; мультимедийные (работа с сайтами академических структур, научно-

исследовательских организаций, электронных библиотек и др., разработка презентаций, сообщений и докладов, работа с электронными обучающими программами и т.п.).

18. Материально-техническое обеспечение дисциплины:

Лекционная аудитория с мультимедийным проектором. Персональные компьютеры. Лаборатория с цифровыми осциллографами, функциональными генераторами, источниками питания, мультиметрами.

19. Оценочные средства для проведения текущей и промежуточной аттестаций

Порядок оценки освоения обучающимися учебного материала определяется содержанием следующих разделов дисциплины:

№ п/п	Наименование раздела дисциплины	Компетенция	Индикаторы достижения компетенции	Оценочные средства
1	Введение	ПК-7	ПК-7.1 ПК-7.2	перечень вопросов
2	Средства работы языка VHDL-AMS с цифровыми схемами	ПК-8	ПК-8.1	перечень вопросов
3	Средства работы языка VHDL-AMS с аналоговыми схемами	ПК-8	ПК-8.1	перечень вопросов
4	Взаимодействие аналоговой и цифровой части модели средствами языка VHDL-AMS	ПК-8	ПК-8.1	перечень вопросов
5	Разработка поведенческих моделей аналого-цифровых схем	ПК-6 ПК-7	ПК-6.1 ПК-7.3	перечень вопросов
6	Верификация цифровых и аналоговых моделей	ПК-6 ПК-7	ПК-6.2 ПК-6.3 ПК-7.3	перечень вопросов
7	Разработка компактных моделей элементов микросхем	ПК-8	ПК-8.3	перечень вопросов
8	Совместное использование моделей на разных языках при схемотехническом моделировании	ПК-8	ПК-8.3	перечень вопросов
Промежуточная аттестация: форма контроля – экзамен				Комплект КИМ

20 Типовые оценочные средства и методические материалы, определяющие процедуры оценивания

20.1 Текущий контроль успеваемости

Текущий контроль успеваемости по дисциплине осуществляется с помощью следующих оценочных средств: тестовые задания, отчеты о выполнении лабораторных работ, ответы на вопросы

Примеры вопросов для текущего контроля успеваемости

1. Какое из приведенных описаний на языке VHDL-AMS задает переменную-напряжение?

Варианты ответа:

A) quantity V across PLUS to MINUS;

- B) quantity V through PLUS to MINUS;
 - C) quantity V : real;
 - D) signal V : real;
 - E) terminal V : electrical;
- Правильный ответ: A.

2. Какое из приведенных описаний на языке VHDL-AMS задает переменную-ток?

Варианты ответа:

- A) quantity I through PLUS to MINUS;
- B) quantity I across PLUS to MINUS;
- C) quantity I : real;
- D) variable I : real;
- E) terminal I : electrical;

Правильный ответ: A.

3. Какое из приведенных описаний на языке VHDL-AMS задает аналоговую переменную, к которой не применяются законы сохранения консервативных систем?

Варианты ответа:

- A) quantity VAL : real;
- B) quantity VAL across PLUS to MINUS;
- C) quantity VAL through PLUS to MINUS;
- D) variable VAL : real;
- E) signal VAL : real;

Правильный ответ: A.

4. Какое из приведенных описаний на языке VHDL-AMS задает контакт для подключения аналоговых переменных?

Варианты ответа:

- A) terminal IO : electrical;
- B) quantity IO across PLUS to MINUS;
- C) quantity IO through PLUS to MINUS;
- D) quantity IO : real;
- E) signal IO : real;

Правильный ответ: A.

5. Какой оператор языка VHDL-AMS используется для записи алгебраических и интегро-дифференциальных уравнений?

Варианты ответа:

- A) ==
- B) <=
- C) =>
- D) =
- E) :=

Правильный ответ: A.

6. Какой атрибут языка VHDL-AMS используется для записи производной по времени?

Варианты ответа:

- A) 'dot
- B) 'dif
- C) 'diff
- D) 'deriv
- E) 'flux

Правильный ответ: A.

7. Выберите верное утверждение относительно записи уравнений с помощью языка VHDL-AMS?

Варианты ответа:

- A) в языке VHDL-AMS есть атрибут дифференцирования только по времени
 - B) в языке VHDL-AMS есть атрибуты для расчета как производной по времени, так и для расчета частных пространственных производных
 - C) в языке VHDL-AMS есть атрибуты для расчета производной только по пространственным переменным
 - D) в языке VHDL-AMS невозможна запись уравнений в неявной форме
 - E) в языке VHDL-AMS есть атрибут для расчета криволинейного интеграла
- Правильный ответ: A.

8. С помощью какой конструкции языка VHDL-AMS его аналоговая часть может оказывать влияние на цифровую?

Варианты ответа:

- A) оператор условного присваивания значения сигналов `selected_signal_assignment` в сочетании с атрибутом `'above`
 - B) оператор условного присваивания значения сигналов `selected_signal_assignment` в сочетании с атрибутом `'event`
 - C) оператор записи уравнений `simultaneous_if_statement`
 - D) оператор записи уравнений `simultaneous_case_statement`
 - E) оператор процесса в сочетании с оператором записи уравнений `simple_simultaneous_statement`
- Правильный ответ: A.

9. С помощью какой конструкции языка VHDL-AMS его цифровая часть может оказывать влияние на аналоговую?

Варианты ответа:

- A) оператор записи уравнений `simultaneous_if_statement`
 - B) оператор условного присваивания значения сигналов `selected_signal_assignment` в сочетании с атрибутом `'event`
 - C) оператор условного присваивания значения сигналов `selected_signal_assignment` в сочетании с атрибутом `'above`
 - D) оператор записи уравнений `simple_simultaneous_statement`
 - E) оператор процесса в сочетании с оператором записи уравнений `simple_simultaneous_statement`
- Правильный ответ: A.

10. Выберите правильную форму записи оператора `break` для задания начального значения аналоговой переменной `C`.

Варианты ответа:

- A) `break C => 0.0;`
 - B) `break C == 0.0;`
 - C) `break C <= 0.0;`
 - D) `break C = 0.0;`
 - E) `break C := 0.0;`
- Правильный ответ: A.

11. Выберите правильную форму записи оператора `break` для инициализации аналоговых вычислений в точке разрыва при изменении значения цифрового сигнала `S`.

Варианты ответа:

- A) `break on S;`

- B) break S;
 - C) break when S;
 - D) break not S;
 - E) break change S;
- Правильный ответ: A.

12. Выберите правильную форму записи оператора break для инициализации аналоговых вычислений в точке разрыва при выполнении условия, когда аналоговая переменная A превышает величину 0.0.

- Варианты ответа:
- A) break when A > 0.0;
 - B) break on A > 0.0;
 - C) break A > 0.0;
 - D) break if A > 0.0;
 - E) break A when above(0.0);
- Правильный ответ: A.

13. Какая функция в языке VHDL-AMS возвращает текущий момент модельного времени?

- Варианты ответа:
- A) now
 - B) time
 - C) ctime
 - D) presently
 - E) nowtime
- Правильный ответ: A.

14. Выберите правильную для языка VHDL-AMS форму записи оператора процесса, который запускается на выполнение каждые 10 мс.

- Варианты ответа:
- A) process
begin
 // ...
wait for 10 ms;
end process;
 - B) process (10 ms)
begin
 // ...
end process;
 - C) process
begin
 // ...
wait on 10 ms;
end process;
 - D) process
begin
 // ...
wait 10 ms;
end process;
 - E) process 10 ms
begin
 // ...
end process;

Правильный ответ: A.

15. Выберите правильную для языка VHDL-AMS форму записи оператора процесса со списком чувствительности к изменению сигналов a,b.

Варианты ответа:

- A) process (a, b)
- B) process (on a,b)
- C) process on (a, b)
- D) process (wait a,b)
- E) process wait on a,b

Правильный ответ: A.

16. Определите количество уравнений, необходимых для реализации следующего описания на языке VHDL-AMS:

```
entity TEST is
  port (terminal PLUS, MINUS : electrical);
end TEST;
architecture TEST_A of TEST is
  quantity V across I1, I2 through PLUS to MINUS;
  quantity Q : real;
```

...

Решение:

Общее количество уравнений равно суммарному количеству переменных quantity, переменных quantity вида through (переменных-токов), а также портов, имеющих тип quantity и направленность типа out. В данной модели имеем одну переменную quantity Q и две переменные through (I1 и I2). Порты типа quantity в модели отсутствуют. Соответственно, количество уравнений должно быть равно трем.

Ответ: 3

17. Определите количество уравнений, необходимых для реализации следующего описания на языке VHDL-AMS:

```
entity TEST is
  port( signal S : in bit; terminal PLUS, MINUS : electrical);
end TEST;
architecture TEST_A of TEST is
  quantity V across I1 through PLUS to MINUS;
```

...

Решение:

Общее количество уравнений равно суммарному количеству переменных quantity, переменных quantity вида through (переменных-токов), а также портов, имеющих тип quantity и направленность типа out. В данной модели имеем одну переменную through (I1). Порты типа quantity в модели отсутствуют. Соответственно, количество уравнений должно быть равно одному.

Ответ: 1

18. Определите количество уравнений, необходимых для реализации следующего описания на языке VHDL-AMS:

```
entity TEST is
  port (quantity A : in real; quantity B : out real);
end TEST;
architecture TEST_A of TEST is
  quantity C : real;
```

...

Решение:

Общее количество уравнений равно суммарному количеству переменных quantity, переменных quantity вида through (переменных-токов), а также портов, имеющих тип quantity и направленность типа out. В данной модели имеем одну переменную quantity (C), а также один выходной порт типа quantity (B). Соответственно, количество уравнений должно быть равно двум.

Ответ: 2

19. Определите количество уравнений, необходимых для реализации следующего описания на языке VHDL-AMS:

```
entity TEST is
  port (quantity A : in real; quantity B : out real);
end TEST;
architecture TEST_A of TEST is
  terminal PLUS, MINUS : electrical
  quantity V across I1, I2 through PLUS to MINUS;
  quantity C : real;
```

...

Решение:

Общее количество уравнений равно суммарному количеству переменных quantity, переменных quantity вида through (переменных-токов), а также портов, имеющих тип quantity и направленность типа out. В данной модели имеем две переменных-тока (I1, I2), одну переменную quantity (C), а также один выходной порт типа quantity (B). Соответственно, количество уравнений должно быть равно четырем.

Ответ: 4

20. Определите количество уравнений, необходимых для реализации следующего описания на языке VHDL-AMS:

```
entity ELEMENT is
  generic (VTH: real);
  port (terminal AIN, REF: electrical; signal DOUT: out boolean);
end ELEMENT;
architecture ELEMENT_A of ELEMENT is
  quantity VIN across AIN to REF;
begin
  ...
```

Решение:

Общее количество уравнений равно суммарному количеству переменных quantity, переменных quantity вида through (переменных-токов), а также портов, имеющих тип quantity и направленность типа out. В данной модели отсутствуют переменные токи, переменные quantity и выходные порты типа quantity. Соответственно, количество уравнений должно быть равно нулю.

Ответ: 0

21. Укажите, в какой форме требуется добавить оператор break к нижеприведенному коду на языке VHDL-AMS?

```
entity SPST is
  port( signal CONTROL : in bit; terminal PLUS, MINUS : electrical);
end SPST;
architecture SPST_A of SPST is
  quantity V across I through PLUS to MINUS;
begin
```

```

    if CONTROL = '0' use I == 0.0; else V == 0.0;
  end use;
end SPST_A;

```

Решение:

Для корректного моделирования требуется указать с помощью оператора break моменты времени, в которых аналоговые переменные терпят разрыв. В данном случае переменные I и V терпят разрыв в момент, когда цифровой сигнал CONTROL изменяет свое значение. Заданию такого условия соответствует форма оператора break со списком чувствительности: break on CONTROL.

Ответ: break on CONTROL;

22. Укажите, в какой форме требуется добавить оператор break к нижеприведенному коду на языке VHDL-AMS для того, чтобы задать начальное значение напряжения на обкладках конденсатора?

```

entity CAP is
  generic (NOMINAL : real := 1.0e-6; V_INIT : real := 0.0 );
  port (terminal PLUS, MINUS : electrical);
end CAP;
architecture CAP_A of CAP is
  quantity V across I through PLUS to MINUS;
begin
  I == NOMINAL * V'dot;
end CAP_A;

```

Решение:

Для задания значений переменных в начальный момент времени используется оператор break в форме без списка чувствительности, т.е. break <имя переменной> => <значение>; В данной задаче переменной является V, которой присваивается значение параметра V_INIT, т.е.: break V => V_INIT;

Ответ: break V => V_INIT;

23. Какой аналого-цифровой элемент реализуется следующим описанием на языке VHDL-AMS?

```

entity ELEMENT is
  generic (VTH: real);
  port (terminal AIN, REF: electrical; signal DOUT: out boolean);
end ELEMENT;
architecture ELEMENT_A of ELEMENT is
  quantity VIN across AIN to REF;
begin
  DOUT <= VIN'above(VTH);
end ELEMENT_A;

```

Решение:

Элемент в качестве входных портов использует аналоговые входы, между которыми задана переменная-напряжение VIN. Выходным сигналом элемента сложит логическая величина, которая принимает значение «логическая единица», когда напряжение между входными портами превышает некоторую величину VTH и значение «логический ноль» в противном случае. Такое поведение соответствует идеальному компаратору.

Ответ: идеальный компаратор

24. Какой цифровой элемент реализуется следующим описанием на языке VHDL-AMS?

```
entity DIG is
  port ( a0, a1 : in bit; b : out bit );
end DIG;
architecture DIG_A of DIG is
begin
  process ( a0, a1 )
  begin
    if ( a0 = '1' ) and ( a1 = '1' )
      then b <= '1';
      else b <= '0';
    end if;
  end process;
end DIG_A;
```

Решение: таблица истинности реализуемого элемента соответствует логическому вентилю «И» с двумя входами, т.е. AND2

Ответ: AND2

25. Какой аналоговый элемент реализуется следующим описанием на языке VHDL-AMS и какие паразитные элементы учитывает данное описание?

```
entity ANALOG is
  generic (G1: real := 1.0e-14; G2: real := 1.0e-7;
           G3: real := 100.0);
  port (terminal T1, T2 : electrical);
end diode;
architecture ANALOG_A of ANALOG is
  quantity Q1 across Q2, Q3 through T1 to T2;
  quantity Q4 : real;
  constant C1 : real := 0.0258;
begin
  Q2 == G1 * (exp((Q1-G3*Q2)/C1) - 1.0);
  Q4 == G2 * Q2;
  Q3 == Q4'dot;
end ANALOG_A;
```

Решение: Аналоговая переменная Q1 описывает напряжение, приложенное к диоду, Q2 – ток через p-n переход, Q3 – емкостной ток диффузионной емкости. Параметры элемента: G1 – ток насыщения; G2 – время жизни неосновных носителей; G3 – сопротивление объема полупроводника.

Ответ: Диод с учетом диффузионной емкости и падения напряжения на объеме полупроводника

26. Какой цифровой элемент реализуется следующим описанием на языке VHDL-AMS?

```
entity DIG is
  port (A1, A2 : IN bit; A3 : OUT bit);
end DIG;
architecture DIG_A of DIG is
begin
```

```

process (A1)
begin
  if (A1 = '1')
    then A3 <= A2 after 1 ns;
  end if;
end process;
end DIG_A;

```

Решение: Вход A1 является тактирующим. По его переднему фронту происходит передача сигнала со входа A1 на выход A3. В остальное время выход A3 сохраняет свое предыдущее состояние. Такое поведение соответствует динамическому D-триггеру (flip-flop)

Ответ: динамический D-триггер

27. Какой аналоговый элемент реализуется следующим описанием на языке VHDL-AMS?

```

entity ANALOG is
  generic (G1 : REAL; G2 : real := 0.0 );
  port (terminal T1,T2 : electrical);
end;
architecture ANALOG_A of ANALOG is
  quantity Q1 across Q2 through T1 to T2;
begin
  Q2==G1 * Q1'dot;
  break Q1 => G2;
end ANALOG_A;

```

Решение: Переменная Q1 является напряжением на обкладках идеального конденсатора, Q2 – емкостной ток. Параметр G1 – емкость конденсатора, G2 – напряжение на обкладках в начальный момент времени.

Ответ: идеальный конденсатор

28. В какие моменты времени будет срабатывать оператор break в следующем коде (язык VHDL-AMS)?

```

entity GEN is
  generic (P : real := 1.0E-6);
  port (signal GEN_OUT : out bit);
end GEN;
architecture GEN_A of GEN is
  signal TEMP : bit := '0';
begin
  process
  begin
    TEMP <= not TEMP;
    GEN_OUT <= TEMP;
    wait for P;
  end process;
end GEN_A;

```

```

entity TB is
end TB;
architecture TB_A of TB is
  signal C : bit;
  terminal P: electrical;
  quantity V across I through P to GROUND;
begin
  G: entity work.gen(gen_a) generic map (2.0E-6) port map (C);
  If C = '0' use I == 0.0; else V == 0.0; end use;
  break on C;
end TB_A;

```

Решение:

Оператор break будет вызываться при каждом изменении сигнала C, которое задается генератором GEN. Так как при подключении экземпляра генератора в архитектуре TB_A устанавливается период срабатывания генератора 2 мкс, то оператор break будет вызываться каждые 2 мкс, начиная с момента времени t=2 мкс.

Ответ: 2 мкс и далее с периодом 2 мкс.

29. Определите, в какие моменты времени сигнал DOUT будет принимать значение логической единицы для следующего кода на языке VHDL-AMS.

```

entity VSIN is
  generic (A : real := 1.0; F : real := 1000.0);
  port (terminal PLUS, MINUS: electrical);
end VSIN;
architecture VSIN_A of VSIN is
  quantity V across I through PLUS to MINUS;
begin
  V == A * sin(math_2_pi*F*now);
end VSINE_A;
entity TB is
end TB;
architecture TB_A of TB is
  terminal P : electrical;
  quantity V across I through P to GROUND;
  signal DOUT : bit;
begin
  G:entity work.VSIN(VSIN_A) generic map (1.0, 2000.0) port map (P, GROUND);
  I == V / 1000.0;
  DOUT <= '1' when VIN'above(0.0) else '0';
end TB_A;

```

Решение:

Сигнал DOUT будет принимать значение логической единицы, когда генератор синусоидального напряжения VSIN будет генерировать положительное напряжение. Так как период генерируемого сигнала составляет 500 мкс, то положительное напряжение на выходе генератора будет наблюдаться в интервалы времени от 0...250 мкс, 500...750 мкс и т.д.

Ответ: 0...250 мкс и далее, с периодом 500 мкс

30. Для момента модельного времени $t=250$ мкс определите мгновенную силу тока I , протекающего в системе, которая описывается следующим кодом на языке VHDL-AMS?

```
entity VSIN is
  generic (A : real := 1.0; F : real := 1000.0);
  port (terminal PLUS, MINUS: electrical);
end VSIN;
architecture VSIN_A of VSIN is
  quantity V across I through PLUS to MINUS;
begin
  V == A * sin(math_2_pi*F*now);
end VSIN_A;
entity TB is
end TB;
architecture TB_A of TB is
  terminal P : electrical;
  quantity V across I through P to GROUND;
begin
  G:entity work.VSIN(VSIN_A) generic map (2.0) port map (P, GROUND);
  I == V / 500.0;
end TB_A;
```

Решение:

В указанный момент времени генератор синусоидального напряжения VSIN генерирует максимальное значение напряжения, равное 2 В. Так как ток протекает через резистор номиналом 500 Ом, ток в системе при этом равен 4 мА.

Ответ: 4 мА.

Критерии оценивания текущей успеваемости

Критерии оценивания компетенций	Уровень сформированности компетенций	Шкала предварительных оценок
Обучающийся в полной мере владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), способен иллюстрировать ответ примерами, фактами, данными научных исследований, применять теоретические знания для решения практических задач при выполнении лабораторных работ	Повышенный уровень	<i>Отлично</i>
Обучающийся владеет понятийным аппаратом данной области науки (теоретическими основами дисциплины), допускает незначительные ошибки при выполнении лабораторных работ	Базовый уровень	<i>Хорошо</i>
Обучающийся владеет частично теоретическими основами дисциплины, фрагментарно способен выполнять практические задания	Пороговый уровень	<i>Удовлетворительно</i>
Неудовлетворительное выполнение практических заданий. Обучающийся демонстрирует отрывочные, фрагментарные знания, допускает грубые ошибки при выполнении лабораторных работ	–	<i>Неудовлетворительно</i>

20.2 Промежуточная аттестация

Промежуточная аттестация по дисциплине осуществляется с помощью следующих оценочных средств:

Комплект КИМ

Контрольно-измерительный материал № 1

1. Методологии проектирования ИС и систем-на-кристалле «снизу вверх» и «сверху вниз».
2. Понятие и виды компактных моделей.

Контрольно-измерительный материал № 2

1. Место языков VHDL и VHDL-AMS в проектировании ИС и систем-на-кристалле.
2. Специальные методологии верификации: UVM, OVM, VMM.

Контрольно-измерительный материал № 3

1. Алфавит языка VHDL-AMS.
2. SystemVerilog как язык верификации.

Контрольно-измерительный материал № 4

1. Синтаксис объявления интерфейса (entity) и архитектуры (architecture).
2. Тест-план. Тестовое окружение.

Контрольно-измерительный материал № 5

1. Оператор процесса. Оператор ожидания wait.
2. Совместная верификация программной и аппаратной частей СнК: использование SystemC, PLI, VHPI.

Контрольно-измерительный материал № 6

1. Операторы ветвления в VHDL-AMS.
2. Виды верификации СнК.

Контрольно-измерительный материал № 7

1. Поведенческое и структурное описание в VHDL-AMS.
2. Оператор break.

Контрольно-измерительный материал № 8

1. Использование библиотек в VHDL-AMS.
2. Атрибуты аналоговых переменных в VHDL-AMS.

Контрольно-измерительный материал № 9

1. Атрибуты цифровых переменных в VHDL-AMS.
2. Определение необходимого количества уравнений в VHDL-AMS.

Контрольно-измерительный материал № 10

1. Класс данных quantity. Quantity для консервативных систем. Класс данных terminal.
2. Операторы для записи алгебраических и интегро-дифференциальных уравнений.

Описание технологии проведения промежуточной аттестации

Промежуточная аттестация по дисциплине – экзамен. В приложение к диплому вносится оценка *отлично/хорошо/удовлетворительно*.

Оценка уровня освоения дисциплины «Языки проектирования схем смешанного сигнала» осуществляется по следующим показателям:

- качество и своевременность выполнения лабораторных работ;
- полнота ответов на вопросы контрольно-измерительного материала;
- полнота ответов на дополнительные вопросы.

Критерии оценки освоения дисциплины «Языки проектирования схем смешанного сигнала»: (или таблица)

– оценка *отлично* выставляется при полном соответствии работы студента всем вышеуказанным показателям. Соответствует высокому (углубленному) уровню сформированности компетенций: компетенции сформированы полностью, проявляются и используются систематически, в полном объеме. Данный уровень превосходит, по крайней мере, по одному из перечисленных выше показателей повышенный (продвинутый) уровень;

– оценка *хорошо* выставляется в случае, если работа студента при освоении дисциплины не соответствует одному из перечисленных показателей или в случае предоставления курсовых работ и отчетов по лабораторным работам позже установленного срока. Соответствует повышенному (продвинутому) уровню сформированности компетенций: компетенции в целом сформированы, но проявляются и используются фрагментарно, не в полном объеме. Данный уровень превосходит, по крайней мере, по одному из перечисленных выше показателей пороговый (базовый) уровень;

– оценка *удовлетворительно* выставляется в случае, если работа студента при освоении дисциплины не соответствует любым двум из перечисленных показателей. Соответствует пороговому (базовому) уровню сформированности компетенций: компетенции сформированы в общих чертах, проявляются и используются ситуативно, частично. Данный уровень обязателен для всех осваивающих основную образовательную программу;

– оценка *неудовлетворительно* выставляется в случае несоответствия работы студента всем показателям, его неорганизованности, безответственности и низкого качества работы при выполнении лабораторных работ, предусмотренных программой дисциплины.

Факт невыполнения требований, предъявляемых к студенту при освоении дисциплины «Языки проектирования схем смешанного сигнала» и отраженных в вышеперечисленных критериях, фиксируется в ведомости оценкой *неудовлетворительно*.

Если студент не осваивает дисциплину в установленном программой объеме и в сроки, определенные графиком учебного процесса, он не допускается к промежуточной аттестации по данному виду учебной работы.